

## PATENT ABSTRACTS OF JAPAN

(11) Publication number : 11-135774  
(43) Date of publication of application : 21.05.1999

(51) Int. Cl.

H01L 29/78

(21) Application number : 10-242453  
(22) Date of filing : 24.07.1998

(71) Applicant : TEXAS INSTR INC <TI>  
(72) Inventor : JOHN MARK ANTHONY  
SUMMERFELT SCOTT R  
WALLACE ROBERT M  
GLEN D WILK

(30) Priority

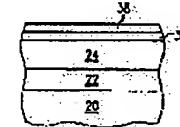
Priority number : 97 53661 Priority date : 24.07.1997 Priority country : US

## (54) HIGH-DIELECTRIC CONSTANT SILICATE GATE DIELECTRIC

## (57) Abstract:

PROBLEM TO BE SOLVED: To provide a field effect semiconductor device having a high-dielectric const. silicate gate dielectric.

SOLUTION: A semiconductor channel region 24 and metal silicate gate dielectric layer 36 are formed on an Si substrate, and then a conductive gate 38 is formed. The silicate layer 36 pref. includes a gate dielectric, having a far higher dielectric const. than that of Si dioxide, such as Hf silicate, but the gate dielectric can be designed with provisions for advantages of Si dioxide, such as high breakdown, low boundary region state density, and high stability.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998, 2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-135774

(43)公開日 平成11年(1999)5月21日

(51)Int.Cl.<sup>6</sup>

H 0 1 L 29/78

識別記号

F I

H 0 1 L 29/78

3 0 1 G

審査請求 未請求 請求項の数10 OL 外国語出願 (全46頁)

(21)出願番号 特願平10-242453

(22)出願日 平成10年(1998)7月24日

(31)優先権主張番号 0 5 3 6 6 1

(32)優先日 1997年7月24日

(33)優先権主張国 米国(US)

(71)出願人 590000879

テキサス インスツルメンツ インコーポ  
レイテッド

アメリカ合衆国テキサス州ダラス, ノース  
セントラルエクスプレスウェイ 13500

(72)発明者 ジョン マーク アンソニー

アメリカ合衆国 テキサス州マッキニイ,  
ウッド ダック レーン 706

(72)発明者 スコット アール サマーフェルト

アメリカ合衆国 テキサス州ガーランド,  
ブライドル パス ユート. 3202

(74)代理人 弁理士 浅村 鮎 (外3名)

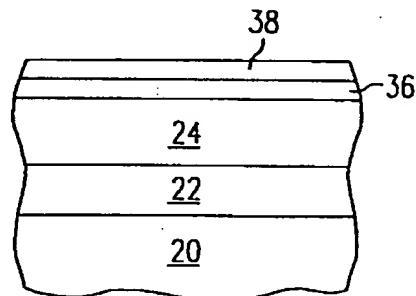
最終頁に続く

(54)【発明の名称】 高誘電率シリケート・ゲート誘電体

(57)【要約】

【課題】 高誘電率シリケート・ゲート誘電体を備えた電界効果型半導体デバイスを提供すること。

【解決手段】 シリコン基板上に半導体性チャンネル領域24を形成し、この基板の上に金属シリケート・ゲート誘電体層36を形成し、次に伝導性ゲート38を形成する。シリケート層36は、ハフニウム・シリケートなど、ゲート誘電体の誘電定数が二酸化シリコンの誘電定数よりずっと大きいものが良い。ただし、シリケート・ゲート誘電体は、高ブレークダウン、低境界領域状態密度、高安定性など二酸化シリコンの利点を備えて設計することもできる。



1

## 【特許請求の範囲】

【請求項1】 集積回路上に電界効果デバイスを製作する方法であって、

単結晶シリコン基板を備えるステップと、

前記基板上に金属シリケート誘電層を形成するステップと、

前記金属シリケート誘電層に伝導性ゲートを形成するステップとからなる方法。

【請求項2】 前記基板上に金属シリケート誘電層を形成するステップが、基板上に清浄なSiを露出し、

Si表面に第1の金属を蒸着し、

不活性環境で前記基板をアニールすることによって、基板上に第1の金属の珪化物の層を形成し、

第1の金属の珪化物の層を酸化することによって、金属シリケート誘電層を形成することから成ることを特徴とする請求項1に記載の方法。

【請求項3】 前記金属シリケート誘電層を形成するステップが、

酸化環境で第1の金属とシリコンを基板上に蒸着することによって、基板上に少なくとも部分的に酸化された層を形成し、  
基板を酸化環境でアニールすることから成ることを特徴とする請求項1に記載の方法。

【請求項4】 前記第1の金属とシリコンを蒸着するステップが、第1の金属とシリコンから成るターゲットから物質を基板上にスパッタすることから成ることを特徴とする請求項3に記載の方法。

【請求項5】 前記第1の金属とシリコンを蒸着するステップが、第1の金属とシリコンを共通の源から蒸着させることから成ることを特徴とする請求項3に記載の方法。

【請求項6】 前記第1の金属とシリコンを蒸着するステップが、第1の金属とシリコンを別々の源から同時に蒸着させることから成ることを特徴とする請求項3に記載の方法。

【請求項7】 前記金属シリケート誘電層を形成するステップが、

基板上に清浄なSiを露出し、

Si表面に部分的に還元された金属シリケートを蒸着し、

酸素環境で前記部分的に還元された金属シリケート基板をアニールすることによって、金属のシリケート誘電層を形成することから成ることを特徴とする請求項1に記載の方法。

【請求項8】 前記Si表面に部分的に還元された金属シリケートを蒸着するステップが、金属酸化物とシリコンとを同時に物理的に蒸着させることから成ることを特徴とする請求項7に記載の方法。

【請求項9】 前記Si表面に部分的に還元された金属シリケートを蒸着するステップが、酸化ジルコニウム、

10

20

30

40

50

2

酸化ハフニウム、及びそれらの混合物から成るグループから選択された酸化物とシリコンとを同時に物理的に蒸着させることから成ることを特徴とする請求項7に記載の方法。

【請求項10】 電界効果デバイスが製作された集積回路であって、前記電界効果デバイスは、  
単結晶シリコン半導体チャンネル領域と、  
前記チャンネル領域に重ねられた金属シリケート・ゲート誘電体とを備え、

前記金属シリケートは、ジルコニウム・シリケート、バリウム・シリケート、セリウム・シリケート、亜鉛シリケート、トリウム・シリケート、ビスマス・シリケート、ハフニウム・シリケート、タンタル・シリケート、及びそれらの組み合わせから成るグループから選択される、

さらに前記ゲート誘電体を覆う導電ゲートとを有することを特徴とする。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体デバイスの構成及びその製造方法に関し、特に、集積回路上に形成される電界効果デバイス用のゲート誘電体に関する。

## 【0002】

【従来の技術】 電界効果型トランジスタのような半導体デバイスは、電子工業において広く使われている。このようなデバイスは、非常に小型のサイズで形成され、1つの単結晶シリコン基板または「チップ」上に数千、数百万のそのようなデバイスが形成されることもあり、それらが相互に接続され、マイクロプロセッサのような集積回路において有用な機能を果たす。

【0003】トランジスタの設計及び製造は非常に複雑であるが、1つのトランジスタの一般的構造及び動作は、単純である。図1は、単純化された電界効果型トランジスタの断面図である。電界効果型トランジスタにおいて、基板100の表面付近の部分は、処理過程でのチャンネル120の役割をする。チャンネル120は電気的にソース140とドレイン160とに接続され、ソース140とドレイン160との間に電圧の差が存在する場合に電流がチャンネル120を流れるようになっている。チャンネル120の半導体特性が変化することによって、チャンネル120を覆う伝導層であるゲート190に印加される電圧によって抵抗が制御される。このように、ゲート190の電圧を変化させることによって、チャンネル120を何らかの電流が流される。ゲート190とチャンネル120とは、ゲート誘電体180によって分離されている。ゲート誘電体は絶縁性であり、ゲート190とチャンネル120との間に、作動中、殆ど電流が流れないようになっている（ただし誘電体が薄い場合は「トンネル効果」による電流が流れる）。しかししながら、ゲート誘電体があっても、ゲート電圧はチャン

ネル120に電界を誘導する。これが「電界効果トランジスタ」という名の由来である。

【0004】一般的に、集積回路の動作及び密度は、「スケーリング」つまりチップ上の個々の半導体デバイスのサイズを縮小することによって、高めることができる。ところが、電界効果半導体デバイスは、チャンネルの幅に正比例する出力信号を出すので、前記スケーリングは出力を減らすことになる。この効果を補償するために、これまで一般に、ゲート誘電体180の厚さを減らし、ゲートをチャンネルに接近させることによって電界効果を高めていた。

【0005】

【発明が解決しようとする課題】デバイスのサイズが益々小さくなるにつれ、ゲート誘電体の厚さも減ってきた。デバイスの更なるサイズ縮小は可能ではあるが、ゲート誘電体の厚さは、従来のゲート誘電体材料である二酸化シリコンでは、事実上、ほぼ限界まで減らされている。二酸化シリコンのゲート誘電体をこれ以上縮小するには、膨大な問題が絡んでくる。極端に薄い層にすると、酸化物を通じての直接的トンネル効果によって大きな電流リークが生じる。また、そのような薄い層は、文字通り原子の数層から形成されるので、そのような層を繰り返し製造するには厳格な製造制御が必要となる。更に、均一に覆うことも限界に来ている。というのは、デバイス・パラメータは、誘電体材料の1つの単一層があるかないかで大きく変化してしまう。更にまた、そのような薄い層は不純物に対する拡散バリアが弱くなる。

【0006】二酸化シリコンの限界を認識した研究者達は、二酸化シリコンより厚く形成されても同じ電界効果性能が得られる誘電体材料を探し求めてきた。この性能は、「等価酸化膜厚」として表現される。代わりの材料の層の厚さが大きくて、ずっと薄い二酸化シリコン（普通「酸化」シリコンと呼ばれる）の層と同等の効果を持つ材料である。有力候補となっている材料は、殆どと言うわけではないが、多くは、五酸化タンタルやバリウム・ストロンチウム・チタネートなどの酸化金属である。

【0007】研究者達は、そのような酸化金属でゲート誘電体を形成することは問題があることを見いだした。典型的な酸化金属蒸着温度において、形成に必要な酸素環境又は酸素含有前駆体はシリコン基板を酸化し易く、基板とゲート誘電体との境界領域に酸化物の層を作ってしまう。このような酸化物層が境界にあると、有効酸化物の厚さが増大し、代替ゲート誘電体を使用する効果が削減されてしまう。境界領域における酸化物層の存在は、代わりとなつた誘電電界効果デバイスの性能に重大な足枷となる。

【0008】

【課題を解決するための手段】本発明は、上記の問題に鑑みてなされたもので、金属シリケート誘電体層を利用

10

した半導体デバイス構造、及びそれを製造するための方法を提供する。本発明によれば、金属シリケート・ゲート誘電体は、従来のサーマル二酸化シリコン又は珪化シリコン誘電体の誘電定数より実質的に高い誘電定数で形成することができるので、金属シリケート誘電体層は、従来のゲート誘電体より実質的に厚く形成しても同等の電界効果が得られる。本発明は、従来の誘電体に見られる境界領域での二酸化シリコンの形成や境界領域の高密度状態といった欠点を殆ど避けることができる。

20

【0009】本発明は、かなりの量のシリコンを特にシリコン／誘電体境界領域に含む酸化物誘電体材料を使用することによって、他の代替誘電体の問題を全体的に除くことができる。1つの好ましい実施の形態において、段階的シリケート層が形成され、シリコン境界領域に近い部分ではシリケート層は大量のSiO<sub>2</sub>成分を含む一方、シリケート層の上部では酸化金属成分を大量に含む。このような構成により、主としてシリコン境界領域でSiO<sub>2</sub>結合を得る結果、境界領域の状態密度が低くなる。しかしながら、シリケート層に高原子数金属が含まれるため、膜の誘電定数をかなり高くすることができる。また、本発明が提供する非晶質シリケート・ゲート誘電体は、高密度の微細構造を持ち、多結晶誘電体における粒状境界に関連する問題の多くを除くことができる。

20

【0010】本発明の1面が開示する半導体デバイスの製造方法は、単結晶シリコン基板を提供し、その基板上に金属シリケート誘電体層を形成し、その金属シリケート誘電体層に伝導性ゲートを形成する。この方法は、金属シリケート誘電体層を形成するためのいくつかの方法の1つから成ることができる。例えば、清浄なSi表面に金属を蒸着し、アニールにより珪化物層を形成し、それを酸化させる。あるいは、酸化環境において基板上に金属を蒸着し、次に酸化環境にてアニールする。あるいは、どちらかの方法と同様にして、金属とシリコンの両方を基板上に蒸着する。

30

【0011】また、本発明の他の面が開示する電界効果デバイスが形成された集積回路は、単結晶シリコン半導体チャンネルと、このチャンネル領域に重ねられた金属シリケート誘電体と、このゲート誘電体に重ねられた伝導性ゲートとを備える。ゲート誘電体は非晶質又は多結晶の膜のどちらであっても良い。金属シリケートは、例えれば、ジルコニウム・シリケート、セリウム・シリケート、亜鉛シリケート、トリウム・シリケート、ビスマス・シリケート、ハフニウム・シリケート、ランタン・シリケート、タンタル・シリケート、又は、これらの材料の組み合わせであって良い。金属シリケート層は、段階的組成を持ち、半導体チャンネル領域に近い部分における金属に対するシリコンの割合は、伝導性ゲートに近い部分における金属に対するシリコンの割合より大きくす

40

ることが好ましい。

50

## 【0012】

【発明の実施の形態】本発明の好ましい実施の形態は、以下に説明するように、代表的にはSi(100)基板を使用して製造することができる。これらの実施の形態の説明は、図2に示されたように、基板20の上にエピタキシャル層22を形成し、そのエピタキシャル層22内に活性チャンネル領域24を注入した後から始める。また、本発明に係る領域内においてチャンネル24には、保護又はネイティブ酸化シリコン領域26(好ましくは、1nm未満の酸化物からなる)が重ねられることを前提とする。このような酸化シリコン層は、清浄な基板を約30秒間、600-700度Cに、 $10^{-3}$ Torr以下での酸素環境で熱することによって形成することができる。このステップに至るまでの様々な製造過程は当業者にとって公知であり、本発明は、それらのどれにも適用することができる。以下の例においては、チャンネル24が、上層22に形成されるとする。ただし、本発明は、基板20その他の比較的純粋なSi基板に直接的に形成されるゲート誘電体にも適用することができる。以下の説明において、層20、層22、領域24は、文脈上特定の物を指す場合を除いて、相互に入れ換えられることがある。

【0013】シリケート・ゲート誘電体を形成するための特定の実施の形態は、酸化シリコン領域26が、そのまま残されてシリケート層の形成に使用されるか、あるいは除去されて下にあるシリコンがシリケート層の形成に使用されるか、あるいは除去されて金属シリケート蒸着過程において基板との相互作用を阻止するための化学反応抑制層に置き換えるかによって区別される。これに続く説明は、シリケート形成材料の蒸着用に基板を準備することに関し、それに続く特定の実施形態に適用される。酸化シリコン領域26を除去する場合、本発明にとって、2つの好ましい表面がある。領域26を除去して、図3に示されたように、何もない露出表面28として残すか、図4に示されたように、水素を付けた表面にする。酸化物領域26が除去される場合、反応性の高いSi表面の化学反応が防止できるのであれば、例えば特定の処理において酸素に触れるのが許される時点まで超真空( $10^{-8}$ Torr未満)で処理することによって防止できるのであれば、露出表面は、水素付き表面よりも水素無し表面の方が好ましい。そうでなければ、露出Si表面は、水素など適当な反応抑制剤で止めるべきである。水素は、再酸化を防止し、且つ処理の適当な時点で簡単に除去することができる。

【0014】酸化物を除去する方法は、本発明にとって決定的なことではないと考えられる。要は、その上に重ねる蒸着が行われるまで、酸化物無しの清浄な表面が維持できればよいのである。酸化物26を除去する1つの好ましい方法は、湿潤HFに触れさせること。たとえば、基板を希釈HFに30秒間浸した後、脱イオン水で

洗浄する。これにより、ネイティブ酸化物を除去し、且つ表面を水素で止めることができる。この他の好ましい方法として、HF蒸気に当てる方法がある。これによつても、ほぼ同様の結果が得られる。ただし、この方法は、クラスター・ツール内で使用できるので、更に表面の再酸化ないし汚染を防止することができる。どちらの方法も、この他の除去薬品を使って良い。HFあるいはNH<sub>4</sub>F溶液は、表面止めの最終ステップに使用するのに好ましい。

【0015】他のいくつかの方法によれば、図3に示されたように、表面止め無しの表面28になる。そのような方法の1つは、クラスター・ツールによるSiフラックス離脱に適用される。 $10^{-8}$ Torr未満で温度780度Cで、好ましくは1.5オングストローム/secのSiフラックスを600秒間適用することによって、ネイティブ酸化物を除去できるだけでなく、原子的に滑らかな段差付き表面が得られ、超薄型ゲート誘電体にとって有利である。あるいは単に、基板を水素環境の真空中で高温に熱することによる離脱でも良い。ただし、Siフラックス方法の方が優れた表面構造をもたらすと考えられる。いずれにせよ、重ねる蒸着が完成するまで基板が超高真空に保持されるのでない限り、表面28は、例えば水素環境下のプラズマまたは高温フィラメントによって生成される水素原子に晒すことによって、水素止めすることができる。

【0016】表面28は、窒化シリコンあるいはオキシ窒化シリコン層のような超薄膜層によってバッシベートすることもできる。厳密に言えば、これはシリコンの酸化物ではない。このような層は、拡散バリアとして機能し、重ねるシリケート層を形成している間、基板に酸化耐性を提供する。オキシ窒化シリコン層が使用された場合、オキシ窒化の好ましい方法は、NOに晒すことである。この他の方法によって生成されるオキシ窒化物は、ここに開示されるゲート誘電体構造を完成するのに必要な厚さにおいて充分な酸化耐性を提供するとは考えられないし、且つ/又は処理温度がより高温になり、そのようなことは好ましくない。例えば、N<sub>2</sub>O処理は、NO処理と比較して、Nの貢献度がずっと低い。NH<sub>3</sub>処理は、事前にSiO<sub>2</sub>膜を用意する必要があり、このように、NH<sub>3</sub>を使用して均一なサブ・ナノメータのオキシ窒化物膜を得るのは困難である。また、NH<sub>3</sub>アニールでは、膜構造に水素が入り込むという好ましくないことも生じる。

【0017】本発明に適用される典型的なNO処理は、次のように行う。基板からパッド酸化物を除去し清浄にする。クリーニングの最終ステップとして、基板を希釈HFに30秒間浸し、脱イオン水で洗浄する。次に基板を反応チャンバに入れ、反応チャンバを $3 \times 10^{-8}$ Torrまで真空にしてから、基板を500度Cに熱して基板表面から水素反応抑制剤を除く。基板を700度Cに熱

して、チャンバに4 TorrのNOを10秒間導入し、オキシ窒化物反応抑制層を形成する。図5は、パッシベーション層30、例えば、オキシ窒化物あるいは窒化物パッシベーション層を示す。

【0018】基板を上記のように清浄なSi表面、酸化物層、あるいは保護バリア層を提供すべく準備ができたら、いくつかの方法の1つによって、基板の上に金属シリケート・ゲート誘電体を形成する。以下に説明するゲート誘電体形成の特定の実施の形態は、広範囲の金属シリケート組成及び構造に簡単に適用できるが、好ましい10金属シリケート組成及び構造は、以下に述べるいくつかの特性を持つ。

【0019】第1に、金属シリケートは、シリコンにつ\*

表 1

\*いで安定していることが好ましい。適当なシリケートを形成する熱は、一般に、酸化シリコンを形成する熱よりもネガティブである。これは、より安定なゲート構造を形成し、境界領域酸化シリコンが形成され易くなるのを避けるためである。これらのシリケートの例を挙げるなら、Ba, La, Hf、及び希土類元素である。SiO<sub>2</sub>に近い形成熱を持つシリケート（例えば、Sr, Y, Zr, Ta）も、本発明において有用であるが、これらのシリケートの安定性は、一般的に、第1のグループのものより低い。表1は、形成熱を考慮した場合の、この層の候補であり、比較のために二酸化シリコンも入れてある。

【表1】

材 料	形 成 热 (kcal/g/酸素原子)
Ca, SiO <sub>2</sub>	-138
Ca, SiO <sub>4</sub>	-135
Ba, SiO <sub>4</sub>	-124
CaSiO <sub>3</sub>	-123
SrSiO <sub>3</sub>	-123
Mg <sub>2</sub> SiO <sub>4</sub>	-122
Na <sub>2</sub> SiO <sub>3</sub>	-121
BaSiO <sub>3</sub>	-120
MgSiO <sub>3</sub>	-119
ZrSiO <sub>4</sub>	-115
CeSiO <sub>4</sub>	-115
SiO <sub>2</sub>	-103

【0020】第2に、金属シリケートは、二酸化シリコンの誘電定数（4以下）あるいは窒化シリコンの誘電定数（7以下）に比較して高い誘電定数を持つことが好ましい。一般的に、シリケートの誘電定数は、含まれる金属の原子数と共に増加する。従って、Ba, La, Hfのようないう量の高い金属、及び希土類元素が好ましい。

【0021】第3に、シリケートは、多結晶または非晶質膜として形成することができる。一般的に、多結晶膜は、より良い誘電定数を持つ。ただし、非晶質膜は、一般により高いブレークダウン性能を持ち、拡散バリアも良く、境界領域の状態密度も低い。また、本発明によるシリケート誘電体の形成の好ましい実施の形態の多くにおいて、非晶質膜の形成は、多結晶膜の形成より簡単である。というのは、多結晶膜を形成するには均一な化学

※量が必要になるからである。非晶質シリケート膜は、混合金属シリケート膜に1つまたはそれ以上の金属を含むことによって、安定化させることもできる。

【0022】最後に、本発明は、段階的（グラデーション付き）誘電組成を利用している。好ましい実施の形態において、シリケート膜が形成される部分では、シリコンの金属に対する割合が、膜の深さ方向に変化する。例えば、基板との境界領域が主としてSiO<sub>2</sub>である段階的シリケート膜（例えば2-10モル%酸化金属）を形成することによって、純粋なSiO<sub>2</sub>によって得られるのと同様な質の境界領域を提供することができる。シリコンの金属に対する割合は、断面から見て次第に減っていくので、ゲート誘電体膜の上部に近づくにつれて酸化金属の割合が増えていくことになる。

【0023】実施の形態1

本発明の1実施の形態において、清浄なSi表面に金属を蒸着することによって、金属シリケート誘電体を形成し、これをアニールすることによって珪化金属を形成し、この珪化物層を酸化させ、それをアニールする。この実施の形態において、図3あるいは図4に示されたような基板が使用される。図4に示されたように、表面28がバッシベートされている場合、基板は、真空又は不活性環境において500度Cに熱することによってバッシベートは簡単に除去できる。

【0024】図6において、例えば、スパッタ法、蒸着、化学蒸着(CVD)又はプラズマCVDにより、金属層32(例えば、ジルコニウム又はハフニウム)を直接的に表面28に蒸着する。スパッタ法は、平行化(collimated)スパッタ又は長距離(long-throw)スパッタのような低エネルギー・プラズマ・システムによって行うのが好ましい。尚、低蒸着速度(例えば、1秒で数オングストロームという程度)が好ましい。なぜなら、全体の蒸着厚さが小さく、また均一性が望まれるからである。8インチ・ウェハの場合、蒸着を行うシステムは、ベース圧力 $10^{-8}$ Torr以下、作業圧力 $10^{-4}$ Torr以下、スパッタ・ガンとウェハとの間の距離は16インチ(約40cm)に設定し、また均一性を向上させるべくウェハを回転しても良い。スパッタ・ガンとしては、アルゴンが使える。蒸着の間、ウェハは400度Cに保つ。

【0025】スパッタ法の代わりに、金属層32は、電子ビーム源から500度Cの基板に蒸着させても良い。その際のネット蒸着速度は、1秒当たり10分の1オングストロームから数オングストロームである。基板を回転させて、均一性を向上することが好ましい。その他、例えば四塩化ジルコニウム及び水素ガスのような適当な前駆体を使用するCVD法又はプラズマCVD法を使用しても良い。これらの方針においても、低めの蒸着速度及び温度(600度C以下)が好ましい。また、下流プラズマ型リアクタの方が、基板でプラズムが生成されるリアクタより好ましい。

【0026】図7において、珪化金属層34の形成は、金属層32を備えた基板20を不活性環境、還元環境、又は真空でアニールして行う。正確な値は、使用する金属の種類及び所望の珪化物の厚さに依存するが、一般的には、20秒間、700度Cの真空でアニールすれば充分である。殆どの珪化物処理において、基板20からのシリコンは金属層32に拡散して珪化金属層34を形成する。尚、この技術において、金属層32は厚めに蒸着しておき、アニールの際、層32のうち珪化物に変換しない部分を残るようにしても良い。この場合、珪化物の厚さはアニール時間によって調節し、余分な金属は、珪化物アニール・ステップの後で、エッチングにより除去する。

【0027】図8において、珪化物層34は、酸化によ

りシリケート層36に変換される。このステップにおいては酸化の制御が重要である。というのは、酸化が充分でないと耐性が不十分であり、また酸化しすぎると層36の容量が減ってしまう(下にあるシリコンが酸化していいうため)。このステップには、いろいろの酸素アニール処理が使用できる。例えば、紫外線を使うかまたは使わない低温度酸素アニール、あるいは紫外線を使うO<sub>3</sub>のような活性酸素アニール、下流酸素プラズマ、N<sub>2</sub>O、あるいはDCバイアス基板を使う低温酸素プラズマなどである。この最後の処理の例として、1mTorrで作動する下流1500W ECR源を使用し、基板に直流60V以下を接続し、13.56MHzまたは300kHzを適用して、また、基板に80度Cで冷却するヘリウム・バックサイドを適用しても良い。処理時間は、実験的に、耐性と誘電定数が許容範囲内にあるよう定める。

【0028】一般的に、シリケート層36の高温アニールを選択することによって、低温酸化の後で膜を高密にし結晶化させる。例えば、基板は、750度Cで20秒間アルゴンでアニールすることによって高密度化することができる。このアニールは、不活性または還元環境で行うことができ、特に、金属層32がハロゲンを使用したCVD法で蒸着された場合は、還元環境が有効である。還元環境が使用された場合、シリケート層36の誘電特性を改善するために、酸素での低温のポスト・アニールを付加的に行うことができる。

【0029】最後に、図9を参照して、導電性ゲート38が、シリケート・ゲート誘電体36の上に蒸着される。ゲート38を蒸着する処理は、当業者にとって良く知られている。ゲート38は、例えば、ドープされたポリシリコン、金属、又は導電性酸化金属で形成することができる。この実施の形態の変形例として、珪化物のステップ及び酸化のステップは組み合わせてもかまわない。珪化物が完全に形成される前に酸化環境を導入するか、あるいは、この2つのステップを完全に重ねても良い。後者の場合、図2に示されたような基板が好ましい。というのは、酸化シリコン層26は、シリケート層36の形成にとって、酸素とシリコンであるから。

【0030】実施の形態2

本発明の第2の実施の形態では、金属シリケート・ゲート誘電体の形成は、酸化環境で基板上に金属を蒸着し、アニールすることによって行われる。この実施の形態は、図2、図3、または図4に対応するいずれかの基板を利用し、金属の蒸着は、第1の実施の形態で説明した方法の1つを使用するのが好ましい。第1の実施の形態との違いは、以下の通りである。

【0031】図10を参照して、酸化金属層40は、清浄なSiの上に、上記スパッタ法により蒸着して良い。ただし、金属が基板に供給される際、酸素の活性をある程度制御して層40を少なくとも部分的に酸化する。例

えば、アルゴンでのスパッタリングで、酸素流量をアルゴンの流量の10分の1ぐらいにして、基板近傍に酸素または水プラス水素を導入する。1秒当たり0.1ナノメータの金属蒸着速度を得るには、酸化ガスを、蒸着処理開始から0-5秒後に導入するのが好ましい。

【0032】酸化金属層40が蒸着によって生成される場合、酸化させる物は、基板近傍に加えるのが好ましい。蒸着された金属をほぼ完全に酸化するには、5<sup>-10</sup> Torr以下の酸素を使用して、0.1 nm/秒で金属蒸着を行う。CVD法を使用する場合は、適当な前駆体が必要な酸素を供給する（例えば、四塩化ジルコニウムと水）。

【0033】図11を参照において、層40は基板と反応させられ金属シリケート層36を形成する。これは、第1実施の形態で説明したように、低温酸素アニールとそれに続く高温アニールによって行うのが好ましい。好ましい酸素アニールの1つの例は、O<sub>3</sub>下、400度C、60秒間のアニールである。

【0034】尚、この実施の形態は、段階的シリケート層を生成すべく簡単に改変することができる。この方法の1つの変形例が図12に示される。ここにおいて、層40は、酸化シリコン層26の上に蒸着される。このような実施の形態において、アニールを行う間の酸素の活動は削減することができ、シリケート層36の形成は、層26から酸素とシリコンの両方を「盗む」ことによって行うことができる。基板のグラデーションは、層26と層40の相対的初期厚さを調整することによって、調整することができる。また、Siを層40に供給するのに、勢いの良いイオンを離れたプラズマから注入し、基板にDCバイアスをかけて、浸透深さを調整すると良い。例えば、シランを使って層40にSiを注入しても良い。

### 【0035】実施の形態3

本発明の第3の実施の形態では、金属シリケート・ゲート誘電体の形成は、酸化環境で基板上に金属とシリコンの両方を蒸着し、続いてアニールを行うことによって行う。この実施の形態において、基板の準備は、図2乃至図5に示されたものから選択できる。この方法は、シリケート膜の成分として基板からのシリコンに頼らないので、基板の酸化を制限する表面、例えば図5の拡散バリア表面が好ましい。金属とシリコンの蒸着には、第1の実施の形態で述べた方法の1つを使用することができる。ただし、以下の相違点がある。

【0036】図13を参照して、酸化金属及びシリコン層42は、第2の実施の形態における酸化金属40の蒸着で述べたように、清浄なSi表面にスパッタリングで蒸着する。金属とシリコンの両方の蒸着は、金属ターゲットを適当な珪化物ターゲットに取り替えることによって完成する。この方法の不利な点は、単一組成のターゲットから段階的層を蒸着するのが困難であるという点で

10

30

40

50

ある。

【0037】酸化金属とシリコンの層42の生成が蒸着（evaporation）によって行われるのであれば、第2の実施の形態と同様の方法を選択することができる。この場合、別々の電子ビーム源からの金属とシリコンを使って、シリコンの金属に対する割合を蒸着過程で調整することが好ましい。

【0038】CVD法を使用する場合は、適当な前駆体が必要な酸素を提供することになる。前駆体の組み合わせ、例えばシランと四塩化ジルコニウムと酸素を組み合わせて使用することによって、均一な化学量的層を生成することができるが、段階的組成層を得ることは困難である。段階的層を得るには、CVD前駆体として、四塩化シリコンと四塩化ジルコニウムと水を組み合わせて使用するのが好ましい。

【0039】この処理を使用して高性能シリケート層を形成するには、一般的に、前述の第1及び第2の実施の形態で説明したような、低温酸素アニールと高温アニールの両方が必要である。図14と図15は、それぞれ、酸化シリコン層26上に蒸着された層42、及び拡散バリア層30（例えば、オキシ化シリコン層）上に蒸着された層42を示す。前述のように、拡散バリア層30があれば、より積極的な酸素アニールを選択することができる。

### 【0040】実施の形態4

本発明の第4の実施の形態において、金属シリケート誘電体の形成は、金属とシリコンの両方を基板に蒸着し、それをアニールすることによって行う。この実施の形態によって形成されるシリケートは、図2、図3、図4、又は図5に基づいて準備された基板上に形成することができる。簡単に言ってしまうなら、この実施の形態は、第1の実施の形態の金属蒸着/珪化物技術と、第3の実施の形態の金属/シリコン蒸着源とを組み合わせて、珪化物を直接的に蒸着するものである。

【0041】図16を参照して、珪化金属層44を清浄なSi表面に蒸着するのに、第1の実施の形態における金属層34の蒸着で説明したように、スパッタ法を使用する。金属とシリコンの蒸着は、金属ターゲットを適当な珪化物ターゲットに取り替えることによって行う。この方法の不利な点は、単一組成ターゲットから段階的層を形成するのが困難であるという点である。

【0042】珪化金属層44の生成を蒸着（evaporation）法によって行う場合、第1の実施の形態と同様な方法を選択することができる。この場合、金属とシリコンの電子ビーム源を別々に用意して、シリコンの金属に対する割合を蒸着過程で変化させるのが好ましい。

【0043】CVD法を使用する場合は、適当な前駆体が必要な酸素を提供することになる。前駆体の組み合わせ、例えばシランと四塩化ジルコニウムを組み合わせて

使用することによって、均一な化学量的層を生成することができるが、段階的組成層を得ることは困難である。段階的層を得るには、CVD前駆体として、四塩化シリコンと四塩化ジルコニウムと水素を組み合わせて使用するのが好ましい。塩素が膜に入り込むのを防止するには、水素の量を多めにする必要がある。

【0044】この処理を使用して、層44から高性能シリケート層46(図17)を形成するには、一般的に、前述の特に第1の実施の形態で説明したような、低温酸素アニールと高温アニールの両方が必要である。前述のように、拡散バリア層30があれば、より積極的な酸素アニールを選択することができる。

#### 【0045】実施の形態5

本発明の第5の実施の形態において、金属シリケートの形成には、酸化金属とシリコンの両方を基板に蒸着し、続いて酸素アニールを行う。この方法は、前述の珪化物を使用する方法より上手く作用することがある。というのは、蒸着層が高還元(すなわち酸素欠乏)状態ではなく、少なくとも珪化物を使用する中間的方法と同程度にあるからである。

【0046】この実施の形態によって形成されるシリケートは、図2、図3、図4、又は図5に基づき準備された基板の上に形成することができる。

【0047】図19を参照して、部分的に還元された金属シリケート層50を清浄なSi表面に蒸着するのに、 $ZrO_2$ のような酸化金属とSi元素とを同時にスパッタして(co-sputtering)、酸素欠乏ジルコニウム・シリケートを形成する。あるいはまた、 $HfO_2$ とSiを組み合わせて、酸素欠乏ハフニウム・シリケートを形成しても良い。このジルコニウムは部分的に還元されているが、珪化ジルコニウムを完全に酸化させるよりは簡単に、完全に酸化してシリケートにすることができる。

【0048】8インチのウェハで蒸着を行うシステムとしては、ベース圧力 $10^{-8}$ Torr以下、作業圧力 $10^{-3}$ Torr以下、スパッタガンとウェハとの間の距離は16インチ(約40cm)にセットし、より均一にするためにウェハは回転するのが良い。アルゴン又はアルゴンと酸素の混合物(酸素10-50%以下)が、スパッタガスとして使用できる。蒸着を行う間、ウェハは温度400-500度Cに保つ。RF電力は、低めに約50-100ワットにセットして、粒や欠陥を防止する。Siの電力設定は、普通それほど重要ではない。 $ZrO_2$ の設定と同じで良い。

【0049】スパッタ法に代わるものとして、酸化ジルコニウム電子ビーム源とシリコン電子ビーム源から500-600度Cの基板上に蒸着させて、部分的に還元された金属シリケート層50を形成しても良い。この際、1秒間に10分の1オングストロームから数オングストローム程度の蒸着速度にする。基板は、均一にするため

10

20

30

40

50

に、回転するのが良い。

【0050】次に図20を参照して、部分的に還元された金属シリケート50が、酸化によりシリケート層52に変わる。このステップにおいては酸化の制御が重要である。酸化が不十分であると、充分な耐性が得られず、また酸化しすぎると、層52の容量は減る(下にあるシリコンが酸化するため)。酸素下、約400-550度Cで約30分以下ポスト・アニールすることによって、普通、リーク電流を低く保ちながら容量を増大させることができる。より高温あるいは長時間のアニールは、容量を減らすことになる傾向がある。このステップの酸素アニールの方法としてはいろいろある。例えば、紫外線を使うかまたは使わない低温度酸素アニール、あるいは紫外線を使う $O_3$ のような活性酸素アニール、下流酸素アラズマ、 $N_2O$ 、あるいはDCバイアスされた基板を使う低温酸素アラズマなどである。この最後の処理の近似的例として、1mTorrで作動する下流1500W ECR源を使用し、基板に直流60V以下に接続し、13.56MHzまたは300kHzを適用して、また、基板に80度Cで冷却するヘリウム・バックサイドを適用しても良い。処理時間は、実験的に、耐性と誘電定数が許容範囲内にあるよう定める。

【0051】一般的に、シリケート層52の高温アニールを選択することによって、低温酸化の後で膜を高密に結晶化させる。例えば、基板は、750度Cで20秒間アルゴン下でアニールすることによって高密度化することができる。このアニールは不活性または還元環境で行うことができ、特に、部分的に還元された金属シリケート層50がハロゲンを使用したCVD法で蒸着された場合は、還元環境が有効である。還元環境が使用された場合、シリケート層52の誘電特性を改善するために、酸素下での低温ポスト・アニールを付加的に行うことができる。物理蒸着(PVD)された誘電体では、不活性又は酸化環境が一般的に好ましい。前述の実施の形態で説明したように、拡散バリア層30があれば、より積極的な酸素アニールを選択することができる。 $ZrO_2$ のような酸化金属及びシリコンを独立に導入することによって、シリケート誘電体の金属からシリコンへの段階的断面を直接的に制御することができる。

【0052】我々の得た知見では、ゲート誘電体にとって、厳密に化学量的 $ZrSiO_4$ を形成することが必ずしも望ましいわけではなく、それよりも、わずかに $Zr$ を豊富に含むか、あるいは $Zr$ 欠乏膜を形成する方が好ましいことがある。化学量的 $ZrSiO_4$ があれば、結晶化が容易になるが、非晶質では非化学量的膜の方が安定している。更に、 $Zr$ 含有率を制御することによって、誘電定数や $SiO_2$ に似た境界領域特性を制御することができる。酸素が豊富なシリケートは、リーク電流が少なく、境界領域特性も良くなる。というのは、 $SiO_2$ に似た境界領域及び膜は、両者を改善するからであ

る。

【0053】本発明の変形例として、部分的に還元された金属シリケート層50の酸素含有量を少し変化することができる。スパッタ法あるいは蒸着(evaporation)法においてSiの代わりにSiO<sub>2</sub>を使用することによって、酸素含有量をわずかに増やすことができる。このSiO<sub>2</sub>スパッタ法では、SiOが形成され、ZrO<sub>2</sub>やSiより多い酸素を提供するが、化学量的ZrSiO<sub>4</sub>を形成するほどではない。

【0054】わずかに還元された金属シリケート層が所望されことが多い。しかし、時には、まず、完全にではないがより多く還元された金属シリケート層50が好ましいこともある。そのような場合、ZrO<sub>2</sub>の代わりにZrを使い、Siの代わりにSiO<sub>2</sub>を使えば良い。この結果として得られるSiOは、酸素含有量が上述の珪化物を使用する方法より多いが、第5実施の形態によるZrO<sub>2</sub>/Si方法よりは少ないシリケートを提供する。

#### 【0055】実施の形態6

前述の実施の形態の他に、蒸着ステップのいくつかを反復することによってシリケート層の組成を変化させることもできる。図17と図18において、例えば、層46は、中間層になるだけである。例えば、第4の実施の形態で説明した電子ビーム蒸着法を使用して、シリコン、金属、又はその組み合わせたものを蒸着した1つ又はそれ以上の単一層を生成し、酸化環境で短時間のアーニルを行い、中間層46を形成する。次に同様の処理で、同じ又は異なる組成で第2の中間層を蒸着する。この方法を使用すると、酸化シリコン層と酸化金属層が、最終アーニル以前に交互に挟まれることになる。あるいは、段階的組成を直接的に蒸着しても良い。

【0056】本発明は以上の実施の形態に限定されるものではない。ここでは、簡単にするために、特定の基板及び特定の型のデバイスを取り上げたが、本発明は、重ねる伝導性領域の電界効果を使用する活性領域の半導体特性を変化させるデバイス一般に適用することができる。以上述べてきたステップは、他の組み合わせでもシリケート・ゲート誘電体を生成することができ、それらも本発明の範囲に入るものとする。

【0057】本出願は以下の米国仮出願から優先権を主張する。即ち、米国仮出願第60/053, 661号、出願日1997年7月24日、第60/053, 616号、出願日1997年7月24日、及び第60/053, 617号、出願日1997年7月24日。

【0058】本発明は、併願された第TBD(TI-25859)及び第TBD(TI-26146)と関連するものであり、これらは以上で参照されている。

#### 【図面の簡単な説明】

【図1】代表的な従来例としての集積回路電界効果トランジスタの断面図である。

【図2】本発明による半導体デバイスの断面で、シリケート・ゲート誘電体の蒸着に適した表面を表す図である。

【図3】本発明による半導体デバイスの断面で、シリケート・ゲート誘電体の蒸着に適した表面を表す図である。

【図4】本発明による半導体デバイスの断面で、シリケート・ゲート誘電体の蒸着に適した表面を表す図である。

【図5】本発明による半導体デバイスの断面で、シリケート・ゲート誘電体の蒸着に適した表面を表す図である。

【図6】本発明の1実施の形態による半導体デバイス製造過程を表す断面図である。

【図7】本発明の1実施の形態による半導体デバイス製造過程を表す断面図である。

【図8】本発明の1実施の形態による半導体デバイス製造過程を表す断面図である。

【図9】本発明の1実施の形態による半導体デバイス製造過程を表す断面図である。

【図10】本発明の第2の実施の形態による半導体デバイス製造過程を表す断面図である。

【図11】本発明の第2の実施の形態による半導体デバイス製造過程を表す断面図である。

【図12】本発明の第2の実施の形態による半導体デバイス製造過程を表す断面図である。

【図13】本発明の第3の実施の形態による半導体デバイス製造過程を表す断面図である。

【図14】本発明の第3の実施の形態による半導体デバイス製造過程を表す断面図である。

【図15】本発明の第3の実施の形態による半導体デバイス製造過程を表す断面図である。

【図16】本発明の第4の実施の形態による半導体デバイス製造過程を表す断面図である。

【図17】本発明の第4の実施の形態による半導体デバイス製造過程を表す断面図である。

【図18】本発明の第4の実施の形態による半導体デバイス製造過程を表す断面図である。

【図19】本発明の第5の実施の形態による半導体デバイス製造過程を表す断面図である。

【図20】本発明の第5の実施の形態による半導体デバイス製造過程を表す断面図である。

#### 【符号の説明】

20、100 基板

24、120 チャンネル

140 ソース

160 ドレイン

180 ゲート誘電体

190 ゲート

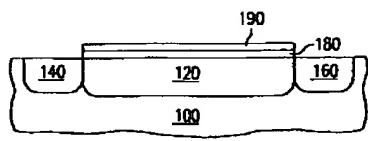
17

18

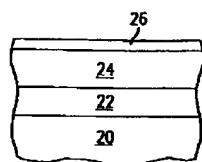
26 酸化シリコン領域  
 28 表面  
 30 拡散バリア層  
 32 金属層  
 34 硅化物層  
 36 シリケート・ゲート誘電体

40 酸化金属層  
 42 シリコン層  
 44 硅化金属層  
 46、52 シリケート層  
 50 部分的に還元された金属シリケート層

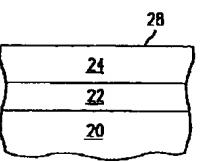
【図1】



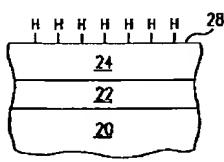
【図2】



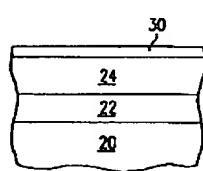
【図3】



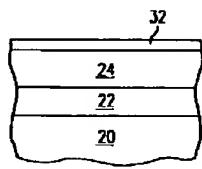
【図4】



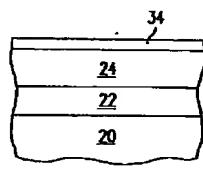
【図5】



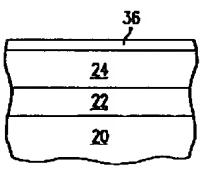
【図6】



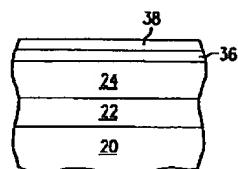
【図7】



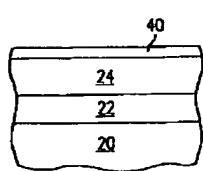
【図8】



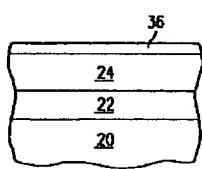
【図9】



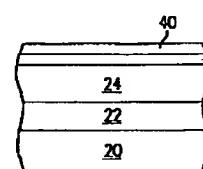
【図10】



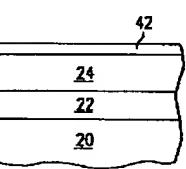
【図11】



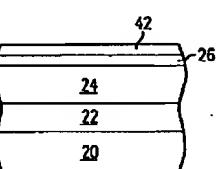
【図12】



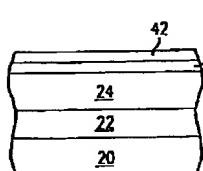
【図13】



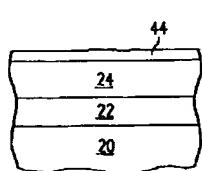
【図14】



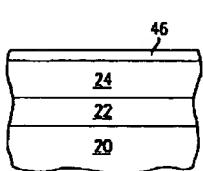
【図15】



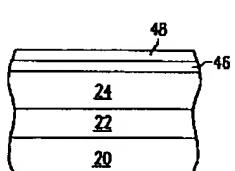
【図16】



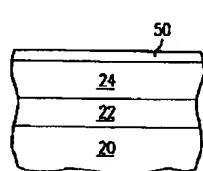
【図17】



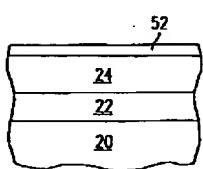
【図18】



【図19】



【図20】



## フロントページの続き

(72)発明者 ロバート エム. ウォーレス  
アメリカ合衆国 テキサス州リチャードソン,  
パーク ベンド ドライブ 428

(72)発明者 グレン ディ. ウィルク  
アメリカ合衆国 テキサス州グラス, マー  
クビル ドライブ 9050 ナンバー821

## 【外国語明細書】

## HIGH PERMITTIVITY SILICATE GATE DIELECTRIC

## RELATED PATENT APPLICATIONS

This application claims priority from the following U.S. 5 provisional applications: No. 60/053,661, filed 7/24/97; No. 60/053,616, filed 07/24/97; and No. 60/053,617 filed, 07/24/97.

This invention is related to concurrently filed applications Serial No. TBD (TI-25859) and Serial No. TBD (TI-26146), which are incorporated herein by reference.

10

## FIELD OF THE INVENTION

This invention relates generally to semiconductor device structures and methods for forming such, and more specifically to such structures and methods related to gate dielectrics for 15 field effect devices formed on integrated circuits.

## BACKGROUND OF THE INVENTION

Semiconductor devices such as field effect transistors are common in the electronics industry. Such devices may be formed 20 with extremely small dimensions, such that thousands or even millions of these devices may be formed on a single-crystal silicon substrate or "chip" and interconnected to perform useful functions in an integrated circuit such as a microprocessor.

Although transistor design and fabrication is a highly 25 complex undertaking, the general structure and operation of a

transistor are fairly simple. With reference to Fig. 1, a simplified field effect transistor is shown in cross-section. In a field effect transistor a portion of the substrate 100 near the surface is designated as the channel 120 during processing.

5 Channel 120 is electrically connected to source 140 and drain 160, such that when a voltage difference exists between source 140 and drain 160, current will tend to flow through channel 120. The semiconducting characteristics of channel 120 are altered such that its resistivity may be controlled by the voltage

10 applied to gate 190, a conductive layer overlying channel 120. Thus by changing the voltage on gate 190, more or less current can be made to flow through channel 120. Gate 190 and channel 120 are separated by gate dielectric 180; the gate dielectric is insulating, such that between gate 190 and channel 120 little or

15 no current flows during operation (although "tunneling" current is observed with thin dielectrics). However, the gate dielectric allows the gate voltage to induce an electric field in channel 120, giving rise to the name "field effect transistor."

20 Generally, integrated circuit performance and density may be enhanced by "scaling", that is by decreasing the size of the individual semiconductor devices on a chip. Unfortunately, field effect semiconductor devices produce an output signal that is proportional to the width of the channel, such that scaling

25 reduces their output. This effect has generally been

compensated for by decreasing the thickness of gate dielectric 180, thus bringing the gate in closer proximity to the channel and enhancing the field effect.

As devices have scaled to smaller and smaller dimensions, 5 the gate dielectric thickness has continued to shrink. Although further scaling of devices is still possible, scaling of the gate dielectric thickness has almost reached its practical limit with the conventional gate dielectric material, silicon dioxide. Further scaling of silicon dioxide gate dielectric thickness 10 will involve a host of problems: extremely thin layers allow for large leakage currents due to direct tunneling through the oxide; because such layers are formed literally from a few layers of atoms, exacting process control is required to repeatably produce such layers; uniformity of coverage is also 15 critical because device parameters may change dramatically based on the presence or absence of even a single monolayer of dielectric material; and finally, such thin layers form poor diffusion barriers to impurities.

Realizing the limitations of silicon dioxide, researchers 20 have searched for alternative dielectric materials which can be formed in a thicker layer than silicon dioxide and yet still produce the same field effect performance. This performance is often expressed as "equivalent oxide thickness": although the alternative material layer may be thick, it has the equivalent 25 effect of a much thinner layer of silicon dioxide (commonly

called simply "oxide"). Many, if not most, of the attractive alternatives for achieving low equivalent oxide thicknesses are metal oxides, such as tantalum pentoxide and barium strontium titanate.

5       Researchers have found formation of such metal oxides as gate dielectrics to be problematic. At typical metal oxide deposition temperatures, the oxygen ambient or oxygen-containing precursor required to form them tends to also oxidize the silicon substrate, producing an oxide layer at the interface 10 between the substrate and the gate dielectric. The presence of this interfacial oxide layer increases the effective oxide thickness, reducing the effectiveness of the alternative gate dielectric approach. The existence of the interfacial oxide layer places an ultimate constraint on the performance of an 15 alternative dielectric field effect device.

#### **SUMMARY OF THE INVENTION**

The present invention comprises a semiconductor device structure utilizing a metal silicate gate dielectric layer, and 20 a method for making the same. With the present invention, a metal silicate gate dielectric may be formed with a dielectric constant substantially higher than that of either conventional thermal silicon dioxide or silicon nitride dielectrics, and thus the metal silicate dielectric layer may be made substantially 25 thicker than a conventional gate dielectric with equivalent

field effect. However, it is believed that the present invention largely avoids disadvantages, such as interfacial silicon dioxide formation and high interface state densities, that are found with conventional alternative dielectrics.

5 The present invention generally avoids the problems of other alternative dielectrics by employing an oxidized dielectric material comprising a significant amount of silicon, particularly at the silicon/dielectric interface. In one preferred embodiment, a graded silicate layer is formed, such 10 that near the silicon interface the silicate layer has a large SiO<sub>2</sub> component, while the upper portion of the silicate layer has a large metal oxide component. Such a structure employs primarily SiO<sub>2</sub> bonding at the silicon interface, with resulting 15 low interface state densities. However, the high atomic number metal included in the silicate layer can significantly increase the dielectric constant of the film. The present invention also provides for amorphous silicate gate dielectrics, which have dense microstructures and avoid many of the problems associated with grain boundaries in polycrystalline dielectrics.

20 In one aspect of the invention, a method of fabricating a semiconductor device is disclosed that comprises providing a single-crystal silicon substrate, forming a metal silicate dielectric layer on the substrate, and forming a conductive gate overlying the metal silicate dielectric layer. This method may 25 comprise one of several methods for forming the metal silicate

dielectric layer. For example, a metal may be deposited on a cleaned Si surface, annealed to form a silicide layer, and then oxidized. Or, metal may be deposited on the substrate in an oxidizing ambient, followed by annealing in an oxidizing ambient.

5 Or, metal and silicon may both be deposited on the substrate in a manner otherwise similar to one of the preceding procedures.

In another aspect of the invention, an integrated circuit having a field effect device fabricated thereon is disclosed that comprises a single-crystal silicon semiconducting channel 10 region, a metal silicate gate dielectric overlying this channel region, and a conductive gate overlying this gate dielectric. The gate dielectric may be either an amorphous or a polycrystalline film. The metal silicate may be, for example, zirconium silicate, cerium silicate, zinc silicate, thorium 15 silicate, bismuth silicate, hafnium silicate, lanthanum silicate, tantalum silicate, or a combination of these materials. Preferably, the metal silicate layer has a graded composition comprising a relatively greater ratio of silicon to metal near the semiconducting channel region, as compared to the ratio of 20 silicon to metal near the conductive gate.

**BRIEF DESCRIPTION OF THE DRAWINGS**

This invention, including the features and advantages thereof, can be best understood by reference to the following drawings, wherein:

5 Fig. 1 is a cross-sectional view of a typical prior art integrated circuit field effect transistor;

Figs. 2-5 are cross-sectional views of several semiconductor devices, illustrating different surfaces appropriate for deposition of a silicate gate dielectric  
10 according to the invention;

Figs. 6-9 are cross-sectional views of a semiconductor device during fabrication according to one preferred embodiment of the invention;

Figs. 10-12 are cross-sectional views of a semiconductor device during fabrication according to a second preferred embodiment of the invention;

Figs. 13-15 are cross-sectional views of a semiconductor device during fabrication according to a third preferred embodiment of the invention; and

20 Figs. 16-18 are cross-sectional views of a semiconductor device during fabrication according to a fourth preferred embodiment of the invention.

Figs. 19 and 20 are cross-sectional views of a semiconductor device during fabrication according to a fifth preferred embodiment of the invention.

**DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENTS**

The preferred embodiments of the invention may be fabricated using a representative Si(100) substrate, as described herein. The description of these embodiments begins, 5 as shown in Fig. 2, after formation of an epitaxial layer 22 on substrate 20 and implantation of an active channel region 24 in epitaxial layer 22, and assumes that a protective or native silicon oxide region 26 (preferably comprising less than 1 nm of oxide) overlies channel 24 in the region of interest. Such a 10 silicon oxide layer may be formed by heating a clean substrate to 600-700°C for approximately 30 seconds, in an oxygen ambient of  $\sim 10^{-3}$  Torr. Processes for reaching this step in fabrication are all well-known in the art, as are various equivalents to which the present invention is applicable. The examples below 15 assume that the channel 24 is formed in epi-layer 22. However, the invention is equally applicable to gate dielectrics formed directly on substrate 20, or other relatively pure Si structures. In the descriptions below, layers 20 and 22, and region 24 will be used interchangeably, except where the context shows a 20 particular item is meant.

The particular embodiment employed for forming a silicate gate dielectric will dictate whether silicon oxide region 26 will be either left in place and used in the formation of the silicate layer, removed such that the underlying silicon may be 25 used in the formation of the silicate layer, or removed and

replaced with a passivation layer designed to inhibit interaction of the substrate in the metal silicate deposition process. The immediately following description relates to the preparation of the substrate for deposition of silicate-forming materials, and is applicable to the specific embodiments presented thereafter. There are two preferred starting surfaces for the invention if silicon oxide region 26 is to be removed. Region 26 may be removed so as to leave either a clean, bare upper surface 28 as shown in Fig. 3, or a hydrogen-terminated surface as shown in Fig. 4. If oxide region 26 is removed, the bare surface is preferred to the hydrogen-terminated surface if chemical reaction of the highly reactive Si surface can be prevented, e.g. by processing in ultrahigh (less than  $-10^{-8}$  Torr) vacuum until a point in the particular process where exposure to oxygen can be tolerated. Otherwise, the bare Si surface should be terminated with a suitable passivant, such as hydrogen, which inhibits reoxidation and yet may be readily removed at an appropriate point in the process.

The method of oxide removal is not believed to be critical to the practice of the invention, as long as a clean, oxide-free surface can be maintained until an overlying deposition is performed. One preferred method of performing removal of oxide 26 is by exposure to wet HF, for example by dipping the substrate in dilute HF for 30 seconds and rinsing in deionized water. This both removes the native oxide and hydrogen

terminates the surface. Another preferred method is by exposure to HF vapor; this provides similar results, but may be used, e.g., in a cluster tool to further prevent reoxidation or contamination of the surface. Either of these approaches may 5 comprise other appropriate stripping chemicals, with HF or a NH<sub>4</sub>F solution being preferred as a last step to provide termination.

Several other methods produce a non-terminated surface 28, as shown in Fig. 3. One such method with particular 10 applicability to cluster-tool practice is Si flux desorption; it has been found that below 10<sup>-8</sup> Torr and at 780°C, an Si flux of preferably 1.5 Å/sec for about 600 seconds not only removes native oxide, but produces an atomically smooth, stepped surface that may have advantages for ultrathin gate dielectrics. The 15 alternative is simple desorption by heating of the substrate to high temperature in vacuum or in an H<sub>2</sub> ambient; it is believed, however, that the Si-flux method results in a superior surface structure. In any of these methods, if the substrate is not to be kept in ultrahigh vacuum until an overlying deposition is 20 completed, surface 28 may be hydrogen terminated, e.g. by exposure to atomic hydrogen produced by a plasma or hot filament in an H<sub>2</sub> ambient.

Surface 28 may also be passivated with an ultrathin layer, such as a silicon nitride or silicon oxynitride layer, that is 25 not, strictly speaking, an oxide of silicon. Such layers act as

a diffusion barrier and provide oxidation resistance to the substrate during formation of the overlying silicate layer. If an oxynitride layer is used, the preferred method of oxynitridation is by exposure to NO. Oxynitrides produced by other methods are not believed to provide sufficient oxidation resistance at the required thicknesses to complete some of the gate dielectric structures disclosed herein, and/or require higher process temperatures, and as such are not preferred. For instance, N<sub>2</sub>O processes result in a much smaller incorporation of N than NO processes. NH<sub>3</sub> processes require a pre-existing SiO<sub>2</sub> film, and thus a uniform sub-nanometer oxynitride film appears to be difficult to achieve using NH<sub>3</sub>. Additionally, NH<sub>3</sub> annealing apparently incorporates undesirable hydrogen into the film structure.

A typical NO process applicable to the present invention is as follows. The substrate is cleaned to remove the pad oxide. As a final step in the cleaning, the substrate is dipped in dilute HF for 30 seconds, and rinsed in deionized water. The substrate is then placed in a reaction chamber, which is then evacuated to  $3 \times 10^{-6}$  Torr, and then the substrate is heated to 500°C to remove the hydrogen passivation from the substrate surface. The substrate is heated to 700°C, and NO at 4 Torr is introduced into the chamber for 10 seconds to form the oxynitride passivation layer. Fig. 5 depicts a passivation

layer 30, e.g., either an oxynitride or a nitride passivation layer.

Once the substrate has been prepared to provide either a clean Si surface, an oxide layer, or a protective barrier layer 5 as described above, a metal silicate gate dielectric is formed on the substrate by one of several methods. Although the specific embodiments for gate dielectric formation described below may be readily adapted to the deposition of a wide range 10 of metal silicate compositions and structures, the preferred metal silicate compositions and structures contain several properties as described below.

First, the metal silicate is preferably stable next to silicon. Appropriate silicates generally have a heat of formation that is more negative than the heat of formation of 15 silicon dioxide, as this is believed to form a more stable gate structure and avoid the preferential formation of interfacial silicon dioxide. Some examples of these silicates are those of Ba, La, Hf, and the rare earth elements. Silicates with heat of formations close to that of SiO<sub>2</sub> (e.g. silicates of Sr, Y, Zr, 20 Ta) may also be useful in the present invention, although stability of these silicates is generally less than that of silicates of the first group. Table 1 lists several candidates for this layer in order of heat of formation, with silicon dioxide included for comparison purposes.

Table 1

Material	H at of Formation (kcal/g/atom of O)
Ca <sub>2</sub> SiO <sub>5</sub>	-138
Ca <sub>2</sub> SiO <sub>4</sub>	-135
Ba <sub>2</sub> SiO <sub>4</sub>	-124
CaSiO <sub>3</sub>	-123
SrSiO <sub>3</sub>	-123
Mg <sub>2</sub> SiO <sub>4</sub>	-122
Na <sub>2</sub> SiO <sub>3</sub>	-121
BaSiO <sub>3</sub>	-120
MgSiO <sub>3</sub>	-119
ZrSiO <sub>4</sub>	-115
CeSiO <sub>4</sub>	-115
SiO <sub>2</sub>	-103

Second, it is preferred that the metal silicate have a high dielectric constant as compared to the dielectric constant of silicon dioxide (~4) or the dielectric constant of silicon nitride (~7). Generally, the dielectric constant of silicates increases with the atomic number of the metal included; higher atomic weight metals such as Ba, La, Hf, and the rare earth elements are therefore preferred.

Third, the silicate may be formed as either a polycrystalline or an amorphous film. Generally, polycrystalline films will have better dielectric constant. However, amorphous films generally have higher breakdown performance, form a better diffusion barrier, and have lower interface state densities. Also, with many of the preferred embodiments for formation of a silicate dielectric according to the present invention, formation of an amorphous film may be

easier than formation of a polycrystalline film because of the uniform stoichiometry required for a polycrystalline film.

Amorphous silicate films may also be stabilized by the inclusion of more than one metal in a mixed-metal silicate film.

5 Finally, the present invention comprehends a graded dielectric composition. In a preferred embodiment, a silicate film may be formed where the ratio of silicon to metal varies as a function of depth in the film. For example, a graded silicate film may be formed that is mainly  $\text{SiO}_2$  at the substrate 10 interface (e.g. 2-10 mol% metal oxide), thus providing an interface with a quality similar to that obtained with pure  $\text{SiO}_2$ . The ratio of silicon to metal is decreased with a grading profile that results preferably in a greater percentage of metal oxide near the top of the gate dielectric film.

15

Embodiment 1

In one embodiment according to the invention, a metal silicate gate dielectric is formed by depositing metal on a clean Si surface, annealing this structure to form a metal 20 silicide, oxidizing the silicide layer, and annealing this structure. In this embodiment, a substrate such as shown in either Fig. 3 or Fig. 4 is used. If surface 28 is passivated as shown in Fig. 4, the substrate can be briefly heated to above 500°C in vacuum or an inert ambient to remove the passivation.

Referring to Fig. 6, a metal layer 32 (e.g. zirconium or hafnium) is deposited directly on surface 28, e.g. by sputtering, evaporation, chemical vapor deposition (CVD) or plasma CVD. Sputter deposition is preferably done with a low-energy plasma system, such as collimated or long-throw sputtering; it should be noted that low deposition rates (e.g. on the order of a few angstroms per second) are preferred, as the total thickness to be deposited is small and uniformity is desired. For an 8" wafer, deposition may be completed in a system with a base pressure of  $\sim 10^{-9}$  Torr, an operating pressure of  $\sim 10^{-4}$  Torr, and a separation between the sputter gun and the wafer of 16 inches, and the wafer may be rotated to improve uniformity. Ar is an acceptable sputter gas, and the wafer may be maintained at a temperature of  $400^{\circ}\text{C}$  during deposition.

As an alternative to sputtering, metal layer 32 may be deposited by evaporation from an e-beam source onto a substrate at  $500^{\circ}\text{C}$ , with a net deposition rate on the order of tenths of angstroms to a few angstroms per second. The substrate is preferably rotated to improve uniformity. Other alternative methods include CVD or plasma CVD using appropriate precursors, such as zirconium tetrachloride and hydrogen gas. Again, with these methods low deposition rates and temperatures ( $600^{\circ}\text{C}$  and lower) are preferred, and a downstream plasma type reactor is preferred to a reactor where the plasma is generated at the substrate.

Referring to Fig. 7, a metal silicide layer 34 is formed by annealing substrate 20 with metal layer 32 in an inert ambient, a reducing ambient, or vacuum. Although exact values will depend on the metal selected and the thickness of silicide desired, a 20 second anneal at 700°C in vacuum will generally suffice. During most silicide processes, silicon from substrate 20 diffuses into metal layer 32 to form metal silicide layer 34. It should be noted that with this technique, an excessively thick metal layer 32 may be deposited, such that less than the entire layer 32 is converted to silicide during the anneal. In this case, the thickness of the silicide is controlled by the anneal time, and the excess metal is etched away after the silicide anneal step.

Referring now to Fig. 8, silicide layer 34 is converted to a silicate layer 36 by oxidation. Control of oxidation is critical during this step, as under-oxidation will result in decreased resistivity and over-oxidation may result in decreased capacitance for layer 36 (due to oxidation of the underlying silicon). Many oxygen anneal processes are available for this step, such as a low temperature O<sub>2</sub> anneal with or without ultraviolet exposure, or an activated oxygen anneal such as O<sub>2</sub> with ultraviolet exposure, a downstream O<sub>2</sub> plasma, N<sub>2</sub>O, or a low temperature O<sub>2</sub> plasma with a DC-biased substrate. As an example of this last process, a downstream 1500W ECR source operating at 1 mTorr, coupled with -60V DC and 13.56 MHz or 300

kHz RF applied to the substrate may be used while the backside cooling at 80°C is also applied to the substrate. Processing time is determined experimentally such that both resistivity and dielectric constant lie within an acceptable range.

5        Generally, a high temperature anneal of silicate layer 36 is selected to densify or crystallize the film after low temperature oxidation. For example, the substrate may be densified by annealing in Ar for 20 seconds at 750°C. This anneal may be done in either an inert or a reducing environment, 10 with a reducing environment particularly useful where metal layer 32 was deposited by CVD using halogens. If a reducing environment is used, an additional low-temperature post-anneal in oxygen may be used to improve dielectric properties of silicate layer 36.

15        Finally, with reference to Fig. 9, conductive gate 38 is deposited over silicate gate dielectric 36. Processes for depositing gate 38 are well known in the art; gate 38 may be formed, by way of example, of doped polysilicon, metal, or a conductive metal oxide. As a variation on this embodiment, the 20 silicide and oxidation steps may be combined, either by introducing an oxidizing ambient before the silicide is completely formed, or by completely overlapping the two steps. In this latter variation, a substrate such as that depicted in Fig. 2 is preferable, as silicon oxide layer 26 can supply both 25 oxygen and silicon towards the formation of silicate layer 36.

**Embodiment 2**

In a second embodiment according to the invention, a metal silicate gate dielectric is formed by depositing metal on a substrate in an oxidizing ambient, followed by annealing. This embodiment preferably utilizes a substrate prepared by one of the methods corresponding to Fig. 2, 3, or 4, and the metal may be deposited by one of the methods described in Embodiment 1, with the following differences.

Referring to Fig. 10, an oxidized metal layer 40 may be deposited on a clean Si surface by sputtering as described above. However, some amount of controlled oxygen activity is used to at least partially oxidize layer 40 as metal is supplied to the substrate. For example, O<sub>2</sub> or H<sub>2</sub>O+H<sub>2</sub> may be introduced near the substrate during sputtering with Ar, with an O<sub>2</sub> flow rate of about one-tenth that of the Ar flow rate. For a metal deposition rate of 0.1 nanometers per second, the oxidizing gas is preferably introduced from 0 to 5 seconds after the start of the deposition process.

If oxidized metal layer 40 is produced by the evaporation method, the oxidizer is preferably added near the substrate. To achieve near complete oxidation of the deposited metal, ~5-10 Torr of O<sub>2</sub> may be used for a metal deposition rate of 0.1 nm/sec. If a CVD method is used, appropriate precursors should provide the necessary oxygen (e.g. zirconium tetrachloride and water).

Referring to Fig. 11, layer 40 is reacted with the substrate to form metal silicate layer 36. Preferably, this is accomplished with a low-temperature oxygen anneal followed by a high temperature anneal, such as those described in the preceding embodiment. One example of a preferred oxygen anneal is a 400°C anneal in O<sub>2</sub> for 60 seconds.

It should be noted that this embodiment may be readily tailored to produce a graded silicate layer. One variation on this method is shown in Fig. 12, wherein layer 40 is deposited over a silicon oxide layer 26. In such an embodiment, oxygen activity during the anneal may be reduced, and silicate layer 36 may be formed by "stealing" both oxygen and silicon from layer 26. The grading of the structure may be adjusted by adjusting the relative initial thicknesses of layers 26 and 40. It may also be appropriate to supply Si to layer 40 by implantation of energetic ions from a remote plasma, using DC bias on the substrate to adjust penetration depth. For example, silane may be used to implant Si into layer 40.

#### 20. Embodiment 3

In a third embodiment according to the invention, a metal silicate gate dielectric is formed by depositing both metal and silicon on the substrate in an oxidizing ambient, followed by annealing. In this embodiment, the substrate preparation may be chosen as any of those shown in Figs. 2-5. As this method

generally does not rely on silicon from the substrate as a component of the silicate film, a surface that limits oxidation of the substrate, such as the diffusion barrier surface of Fig. 5, is preferred. The metal and silicon may be deposited by one of the methods described in Embodiment 1, with the following differences.

Referring to Fig. 13, an oxidized metal and silicon layer 42 may be deposited on a clean Si surface by sputtering as described in Embodiment 2 for the deposition of oxidized metal layer 40. The deposition of both metal and silicon is accomplished by replacing the metal target with an appropriate silicide target. The disadvantage of this method is that deposition of a graded layer from a single composition target is difficult.

If oxidized metal and silicon layer 42 is produced by the evaporation method, a method similar to that of Embodiment 2 may be selected. In this case, it is preferred that separate metal and silicon e-beam sources be used such that the ratio of silicon to metal may be varied during deposition.

If a CVD method is used, appropriate precursors should provide the necessary oxygen. Some combinations of precursors, such as a combination of silane, zirconium tetrachloride, and oxygen, may be used to produce uniform stoichiometry layers but may be difficult to use for a graded composition layers. For a

graded layer, CVD precursors such as a combination of silicon tetrachloride, zirconium tetrachloride, and water are preferred.

Formation of a high performance silicate layer using this process will generally require both a low-temperature oxygen anneal and a high temperature anneal such as those described in the preceding embodiments. Figs. 14 and 15 depict, respectively, 5 layer 42 deposited on a silicon oxide layer 26 and on a diffusion barrier layer 30 (e.g. a silicon oxynitride layer). As noted, the presence of the diffusion barrier layer 30 allows 10 for the selection of a more aggressive oxygen anneal.

#### Embodiment 4

In a fourth embodiment according to the invention, a metal silicate dielectric is formed by depositing both metal and silicon on the substrate, followed by annealing. Silicates formed according to this embodiment may be formed on a substrate prepared according to Figs. 2, 3, 4, or 5. In its most straightforward form, this embodiment is a combination of the metal deposition/silicide technique of Embodiment 1 with the metal/silicon deposition sources of Embodiment 3, such that a 15 20 silicide is deposited directly.

Referring to Fig. 16, a metal silicide layer 44 may be deposited on a clean Si surface by sputtering as described in Embodiment 1 for the deposition of metal layer 34. The 25 deposition of both metal and silicon is accomplished by

replacing the metal target with an appropriate silicide target. The disadvantage of this method is that deposition of a graded layer from a single composition target is difficult.

If metal silicide layer 44 is produced by the evaporation method, a method similar to that of Embodiment 1 may be selected. In this case, it is preferred that separate metal and silicon e-beam sources be used such that the ratio of silicon to metal may be varied during deposition.

If a CVD method is used, appropriate precursors should provide the necessary oxygen. Some combinations of precursors, such as a combination of silane and zirconium tetrachloride, may be used to produce uniform stoichiometry layers but may be difficult to use for a graded composition layers. For a graded layer, CVD precursors such as a combination of silicon tetrachloride, zirconium tetrachloride, and hydrogen are preferred. Excess hydrogen may be required to prevent the incorporation of chlorine into the film.

Formation of a high performance silicate layer 46 (Fig. 17) from layer 44 using this process will generally require both a low-temperature oxygen anneal and a high temperature anneal such as those described in the preceding embodiments, particularly Embodiment 1. As noted in the previous embodiment, the presence of a diffusion barrier layer 30 allows for the selection of a more aggressive oxygen anneal.

**Embodiment 5**

In a fifth embodiment according to the invention, a metal silicate dielectric is formed by depositing both a metal oxide and silicon on the substrate, followed by oxygen annealing.

5 This approach sometimes works better than the silicide approaches above, since the deposited layer is not in a highly reduced (i.e. oxygen deficient) state, at least to the same degree as with the silicide intermediary approaches.

Silicates formed according to this embodiment may be formed 10 on a substrate prepared according to Figs. 2, 3, 4, or 5.

Referring to Fig. 19, a partially reduced metal silicate layer 50 may be deposited on a clean Si surface by co-sputtering a metal oxide, such as  $ZrO_2$ , and elemental Si, to form oxygen-deficient zirconium silicate. Alternatively, artisans may co-sputter  $HfO_2$  and Si, to form oxygen-deficient hafnium silicate. 15 Although this zirconium silicate is partially reduced, it may be more readily oxidized to a full silicate than zirconium silicide may be fully oxidized.

20 For an 8" wafer, deposition may be completed in a system with a base pressure of  $\sim 10^{-6}$  Torr, an operating pressure of  $\sim 10^{-3}$  Torr, and a separation between the sputter gun and the wafer of 16 inches, and the wafer may be rotated to improve uniformity. Ar or a mixture of Ar and O<sub>2</sub> (O<sub>2</sub> 10-50%) is an 25 acceptable sputter gas, and the wafer may be maintained at a

temperature of 400-500°C during deposition. The RF power setting should be low, at about 50-100 watts, to avoid particle and defect formation. The Si power settings are not usually as important, thus they can be set the same as the  $ZrO_2$  settings.

5 As an alternative to sputtering, a partially reduced metal silicate layer 50 may be deposited by evaporation from separate zirconium oxide and silicon e-beam sources onto a substrate at 500-600°C, with a net deposition rate on the order of tenths of angstroms to a few angstroms per second. The substrate is 10 preferably rotated to improve uniformity.

Referring now to Fig. 8, <sup>20</sup> partially reduced metal silicate layer 50 is converted to a silicate layer 52 by oxidation. Control of oxidation is critical during this step, as under-oxidation will result in decreased resistivity and over-oxidation may result in decreased capacitance for layer 52 (due to oxidation of the underlying silicon). Post-anneals in  $O_2$  at about 400-550° for up to about 30 minutes generally increase capacitance while maintaining low leakage current. Anneals at higher temperatures or longer times tend to degrade capacitance. 20 Many oxygen anneal processes are available for this step, such as a low temperature  $O_2$  anneal, with or without ultraviolet exposure, or an activated oxygen anneal such as  $O_2$ ,  $O_3$  with ultraviolet exposure, a downstream  $O_2$  plasma,  $N_2O$ , or a low temperature  $O_2$  plasma with a DC-biased substrate. As an 25 approximate example of this last process, a downstream 1500W ECR

source operating at 1 mTorr, coupled with -60V DC and 13.56 MHz or 300 kHz RF applied to the substrate may be used while He backside cooling at 80°C is also applied to the substrate. Processing time is determined experimentally such that both 5 resistivity and dielectric constant lie within an acceptable range.

Generally, a high temperature anneal of silicate layer 52 is selected to densify or crystallize the film after low temperature oxidation. For example, the substrate may be 10 densified by annealing in Ar for 20 seconds at 750°C. This anneal may be done in either an inert, reducing or an oxidizing environment, with a reducing environment particularly useful where partially reduced metal silicate layer 50 was deposited by CVD using halogens. If a reducing environment is used, an 15 additional low-temperature post-anneal in oxygen may be used to improve dielectric properties of silicate layer 52. For physical vapor deposited (PVD) dielectrics, an inert or oxidizing ambient is generally preferred. As noted in a previous embodiment, the presence of a diffusion barrier layer 20 30 allows for the selection of a more aggressive oxygen anneal. The independent introduction of the metal oxide, such as  $ZrO_2$ , and the silicon allows for direct control of a graded metal-to-silicon profile of the silicate dielectric.

We have found that, for gate dielectrics, it is not 25 necessarily desirable to form exactly stoichiometric  $ZrSiO_4$ .

Instead, it is sometimes preferable to form slightly Zr-rich or Zr-deficient films. Stoichiometric ZrSiO<sub>4</sub> will crystallize more easily, but non-stoichiometric films remain more stable in amorphous phases. Further, controlling the Zr-content allows 5 control of the dielectric constant, as well as SiO<sub>2</sub>-like interface properties. Oxygen-rich silicates seem to exhibit lower leakage currents and better interface properties, because a more SiO<sub>2</sub>-like interface and film improves both.

In a variation of this embodiment, it is possible to make 10 slight changes to the oxygen content of the partially reduced metal silicate layer 50. A slightly higher oxygen content can be obtained by substituting SiO<sub>2</sub> for the Si in either the sputtering or evaporation processes. This SiO<sub>2</sub> sputtering will form SiO, which will thus provide additional oxygen beyond the 15 ZrO<sub>2</sub> and Si, yet not provide enough oxygen to form stoichiometric ZrSiO<sub>4</sub>.

It is often desirable to form an only slightly reduced metal silicate layer. However, sometimes, it may be preferable to initially form a more reduced, but not fully reduced metal 20 silicate layer 50. In these instances, the ZrO<sub>2</sub> can be replaced with Zr, while the Si is replaced by SiO<sub>2</sub>. The resulting SiO provides the silicate with more oxygen than the silicide methods described above, but less than the ZrO<sub>2</sub>/Si method of embodiment 5.

25 **Embodiment 6**

As an alternative to the preceding embodiments, it is recognized that some of the deposition steps described may be repeated to tailor the composition of a silicate layer. With reference to Figs. 17 and 18, for example, layer 46 may form 5 only an intermediate layer. For example, one or more monolayers of either silicon, metal, or a combination may be deposited using the e-beam evaporation method described in Embodiment 4, followed by a short anneal in an oxidizing ambient to produce intermediate layer 46. This may then be followed by deposition 10 of a second intermediate layer 48 by a similar process, with the same or a different composition. Using this method, oxidized silicon and oxidized metal layers can be interleaved in an alternating fashion prior to a final anneal. Or, graded compositions can be deposited directly.

15 The present invention is not limited by the specific embodiments described herein. Although a particular substrate and type of device have been described herein for clarity, this invention has application to Si devices generally which modify the semiconducting characteristics of an active region using the 20 field effect of an overlying conductive region. Various other combinations of the described steps may be used to produce silicate gate dielectrics, and such are intended to fall within the scope of this invention.

**WHAT IS CLAIMED IS:**

1. A method of fabricating a field-effect device on an integrated circuit, comprising the steps of:
  - providing a single-crystal silicon substrate;
  - 5 forming a metal silicate dielectric layer on the substrate;
  - and
  - forming a conductive gate overlying the metal silicate dielectric layer.
- 10 2. The method of claim 1, wherein the forming a metal silicate dielectric layer step comprises:
  - exposing a clean Si surface on the substrate;
  - depositing a first metal on the Si surface;
  - annealing the substrate in an inert ambient, thereby
  - 15 forming a layer of a silicide of the first metal on the substrate;
  - oxidizing the layer of a silicide of the first metal, thereby forming the metal silicate dielectric layer.

3. The method of claim 1, wherein the forming a metal silicate dielectric layer step comprises:

depositing a first metal and silicon on the substrate in an oxidizing ambient, thereby forming an at least partially oxidized layer on the substrate; and  
5 annealing the substrate in an oxidizing ambient.

4. The method of claim 3, wherein the depositing a first metal and silicon step comprises sputtering material from a target comprised of the first metal and silicon onto the substrate.

10 5. The method of claim 3, wherein the depositing a first metal and silicon step comprises evaporating the first metal and silicon from a common source.

15

6. The method of claim 3, wherein the depositing a first metal and silicon step comprises simultaneously evaporating the first metal and silicon from separate sources.

7. The method of claim 1, wherein the forming a metal silicate dielectric layer step comprises:

exposing a clean Si surface on the substrate; and

depositing a partially reduced metal silicate layer on the

5. Si surface; and

annealing the partially reduced metal silicate layer

substrate in oxygen, thereby forming the metal silicate

dielectric layer.

10 8. The method of claim 7, wherein the depositing a partially reduced metal silicate layer on the Si surface comprises simultaneous physical vapor deposition of a metal oxide and silicon.

15 9. The method of claim 7, wherein the depositing a partially reduced metal silicate layer on the Si surface comprises simultaneous physical vapor deposition of silicon and an oxide selected from the group consisting of zirconium oxide, hafnium oxide, and mixtures thereof.

10. An integrated circuit having a field effect device fabricated thereon, the field effect device comprising:

    a single-crystal silicon semiconducting channel region;

    a metal silicate gate dielectric overlying the channel

5    region,

    wherein the metal silicate is selected from the group consisting of zirconium silicate, barium silicate, cerium silicate, zinc silicate, thorium silicate, bismuth silicate, hafnium silicate, lanthanum silicate, tantalum silicate, and

10    combinations thereof; and

    a conductive gate overlying the gate dielectric.

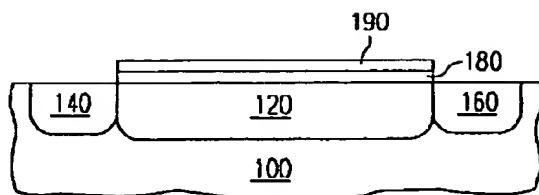


FIG. 1  
(PRIOR ART)

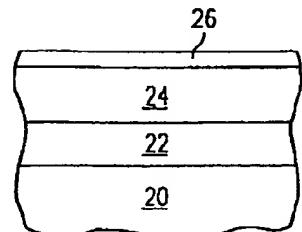


FIG. 2

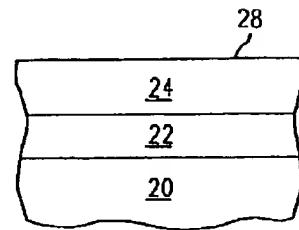


FIG. 3

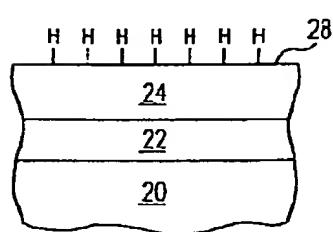


FIG. 4

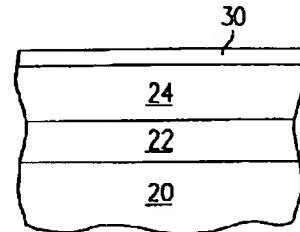


FIG. 5

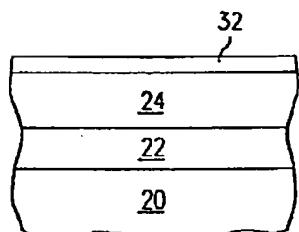


FIG. 6

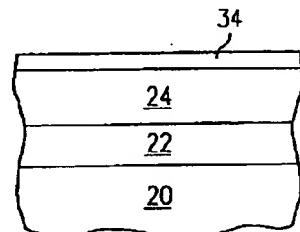


FIG. 7

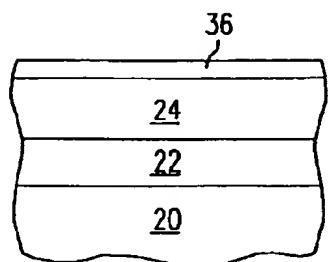


FIG. 8

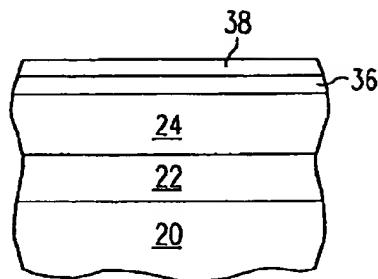


FIG. 9

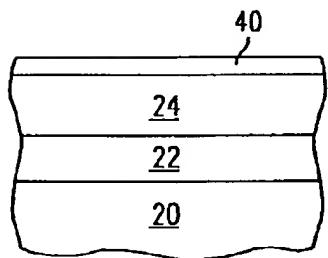


FIG. 10

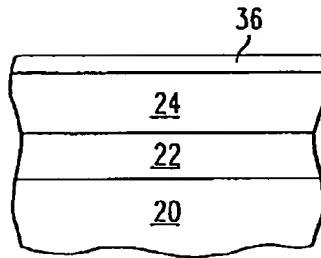


FIG. 11

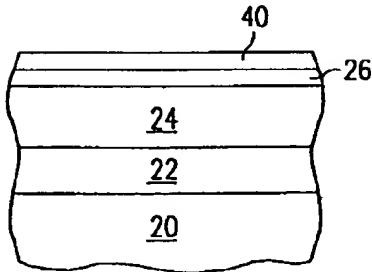


FIG. 12

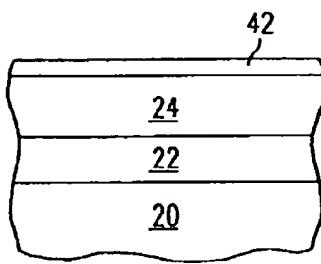


FIG. 13

3 of 3

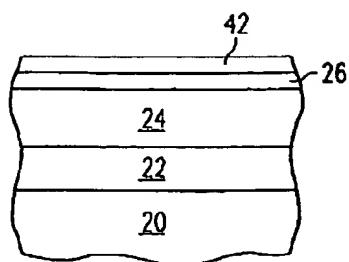


FIG. 14

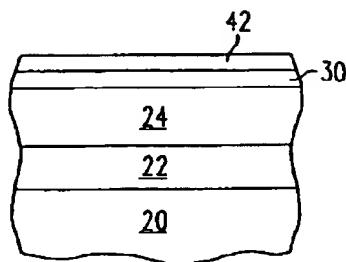


FIG. 15

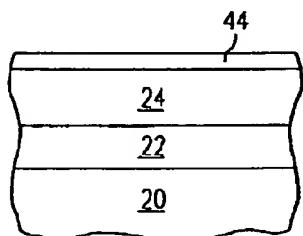


FIG. 16

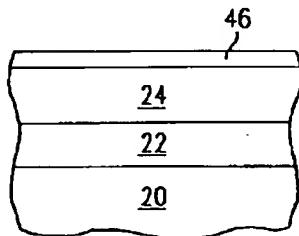


FIG. 17

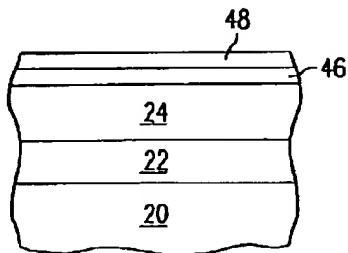


FIG. 18

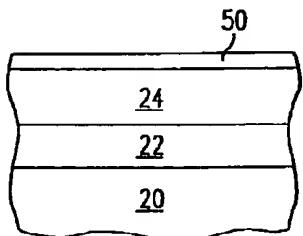


FIG. 19

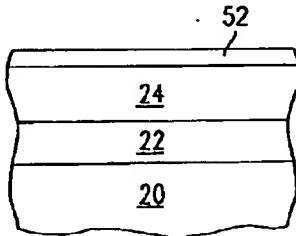


FIG. 20

## 1 Abstract

## HIGH PERMITTIVITY GATE DIELECTRIC

## ABSTRACT OF THE INVENTION

A field effect semiconductor device comprising a high permittivity silicate gate dielectric and a method of forming the same are disclosed herein. The device comprises a silicon substrate 20 having a semiconducting channel region 24 formed therein. A metal silicate gate dielectric layer 36 is formed over this substrate, followed by a conductive gate 38. Silicate layer 36 may be, e.g., hafnium silicate, such that the dielectric constant of the gate dielectric is significantly higher than the dielectric constant of silicon dioxide. However, the silicate gate dielectric may also be designed to have the advantages of silicon dioxide, e.g. high breakdown, low interface state density, and high stability.

## 2 Representative Drawing

Fig. 9